

JAPANESE PATENT OFFICE

Patent OFFICIAL GAZETTE

(Published for the purpose of Opposition)

Publication No: 51-41515

Publication Date: November 10, 1976

No. of the Inventions Claimed: 3

---

Title: SEMICONDUCTOR MEMORY DEVICE

Appln. No: 46-96086

Appln. Date: November 29, 1971

Laid-open Pub. No: 48-60881

Laid-open Pub. Date: August 25, 1973

~~XXXXXXXXXXXXXXXXXXXX~~

Inventor: Shumpei YAMAZAKI

Applicant: TDK

Note:

AP

Explanation of Reference Numerals in  
Pat. Post-exam Pub. No. 51-41515

- 1: semiconductor substrate
- 2: SiO<sub>2</sub> film
- 3: SiN film
- 4: SiO<sub>2</sub> film
- 6: substrate surface
- 9: undercut etch
- 12, 12': top ends
- 13, 13': final depths
- 15, 15': SiO<sub>2</sub> film
- 16, 16': TL of charge
- 16": multi-interconnection lead
- 17, 17': insulating film
- 18: oxide insulating SiO<sub>2</sub>
- 19: gate electrode
- 20: metal film
- 21: metal film
- 22: Si<sub>2</sub> film
- 24: metal-silicon alloy region
- 25: buried layer
- 26: edge

昭51-41515

## 特 許 公 報 ⑨ 公告 昭和51年(1976)11月10日

庁内整理番号 7210-57

発明の数 3

(全 10 頁)

1

## ⑩ 半導体メモリ装置

⑪ 特 願 昭46-96086

⑫ 出 願 昭46(1971)11月29日

公 開 昭48-60881

⑬ 昭48(1973)8月25日

⑭ 発 明 者 山崎舜平

東京都千代田区内神田2の14の  
6 東京電気化学工業株式会社内

⑮ 出 願 人 東京電気化学工業株式会社

東京都千代田区内神田2の14の  
6

## ⑯ 特許請求の範囲

1 半導体基板に選択的に埋置された絶縁物の底部と前記半導体基板の表面またはその近傍のチャネル形成領域とに接するソース、ドレインを有し、前記領域上に絶縁物でくるまれた導体または半導体からなる塊状のクラスタまたは膜の層が設けられるとともに前記領域上の絶縁物上にはゲイト電極が設けられたことを特徴とする半導体メモリ装置。

2 特許請求の範囲第1項において、絶縁物でくるまれた導体または半導体からなる塊状のクラスタまたは膜の層は半導体基板に埋置した絶縁物の上面にわたって設けられ、前記層とゲイト電極との容量は、前記層と基板との容量より大きくしたことを特徴とする半導体メモリ装置。

3 特許請求の範囲第1項において、導体または半導体からなる塊状のクラスタまたは膜の層の側面は該層の酸化物絶縁物により充填して設けられたことを特徴とした半導体メモリ装置。

## 発明の詳細な説明

本発明は、半導体基板上部を選択的に酸化することにより一部が埋置して形成されたる絶縁物等に酸化珪素(以後 $\text{SiO}_2$ という)の底部に、チャネルを作りうる基板表面領域と接する上端部を除

2

きソース(以後Sという)とドレイン(以後Dという)が接して設けられる絶縁ゲイト型電界効果半導体装置(以後MIS・FETという)においてゲイト電極下には半導体または導体の絶縁物でくるまれた塊状のクラスタまたは膜からなる層がチャネル形成領域上に電荷の捕獲中心すなわちトラップレイヤー(以後TLという)として設けられ半導体メモリ装置に関する。さらに本発明はゲイト絶縁膜内に作られたるMIS・FETのTLとゲイト電極(以後Gという)間の静電容量を大きくするため基板の上部に埋置して設けられた絶縁物特に $\text{SiO}_2$ の上面にまでわたって設けられたTLおよびGが作製される構造を有せしめることである。

15 本発明の最後の目的は、 $\text{SiO}_2$ および不純物拡散と酸化に対してマスク作用のある被膜との二重構造被膜を半導体基板上の所定の部分に有し、かかる多層膜により、少なくともS、Dまたはそのリードを半導体基板に不純物を拡散ドーピングして作製し、かつ必要に応じて、かかる表面に金属被膜を形成し、酸化珪素膜のみを側面より化学的に一部除去した後、半導体表面のチャネル電流の受授を行なう拡散層の上端のみを残し、他のS、Dの上面は、多層膜の存在しない基板表面を十分酸化することにより作られたる埋置した $\text{SiO}_2$ 底面に接せしめることを目的とする。

従来、通常MIS・FETを作製する場合、S、D、Gが必要最少限の要素であるが、これを同一半導体基板に形成して、例えば半導体メモリ装置を作製せんとした場合、上記要素以外に隣接MIS・FET間の電気的な分離いわゆるチャネル・カットおよび基板とリード、特にゲイト・リードとの間に作られる寄生容量(Stray Capacity)を少なくするため両者の間に比肩電圧の小さい絶縁膜を $0.5\mu$ 以上の厚さにして介在せしめることが重要になる。

これらを十分満足するために、多くの方法が知

3

られているが、その代表的な製造法として、フィリップス社よりローカス (Locos) という製造方が知られている。本発明は、上記製造法およびその製造法から一族的に決められる構造を、さらに発展せしめ、本発明の目的である不揮発性1ビット/15 5 孫子の半導体メモリ装置作製の基本構造及び製造方法としたものであつて、以下にその詳細を説明する。

#### 実施例 1

第1図は、本発明の1つの製造法および構造を示す断面図である。すなわち、半導体基板1として、N型(100) $n_0 = 5 \times 10^{14} \sim 10 \times 10^{17} \text{cm}^{-3}$ を用いた。この基板の導電型、結晶方位、不純物濃度は、その使用目的に従つて変えればよい。

基板1表面を、十分洗浄にした後、熱酸化法により、 $\text{SiO}_2$ 膜2を100-500Åの厚さに作る。この後この上面に、不純物拡散と酸化物気体に対してマスク作用を有する被膜、例えば窒化珪素膜(以後 $\text{Si}_3\text{N}_4$ 膜という)、またはモリブデンを500-3000Åの厚さに形成する。この20  $\text{SiO}_2$ 膜およびその上面に形成される膜は900℃以上で作製するのが好ましく、特に $\text{Si}_3\text{N}_4$ を用いる場合は、高密度化によるクラックの発生を抑止するため技術的に可能である範囲において高温であればあるほどよい。このようにして二重構造被膜を作り、モリブデンの場合は、モリブデンのエッチ液、また $\text{Si}_3\text{N}_4$ の場合はその上面に $\text{SiO}_2$ 膜を、シランと酸素または炭酸ガスとの反応により作製する。こうして、この $\text{SiO}_2$ 膜をオキシド・エッチで、不要部分のみ除去し、さらにシリ25 ン酸でその下の $\text{Si}_3\text{N}_4$ 膜のみを除去し、この後すべての $\text{SiO}_2$ 膜を除去する。このようにした後、水蒸気または湿酸中でこれら基体を900℃-1150℃で熱酸化して第1図Aを得る。但し、酸化されて作られた $\text{SiO}_2$ 4の上面はあらかじめ35 基板1の上面と概略同一となるようバッファ・エッチ液で基板の表面をステップ・エッチしておいた。これは珪素は酸化することによりもとの珪素の厚さの2、3倍に無限平板の場合、厚さが厚くなることにより計算しておけばよい。

次に、第1図Bに示された如く、二重膜をさらに、その一部を化学的に除去し、S、Dの作製のための基板表面が6に図呈される。さらにこの二重膜および $\text{SiO}_2$ 4をマスクとして、S7、D8

4

を熱拡散法により作製した。図面ではPチアネル、MIS-FETを作製する場合であつたためボロンを3-10μの深さに拡散した。この場合拡散層の積方向へのひろがりは拡散の深さと概略同じである。この $\text{P}^+$ のS7の外周辺に $\text{N}^+$ のチアネルカットの機能を有するうめ込層を作らんとするならば、最初にS7用の窓をあけ、 $\text{N}^+$ をリンまたはヒ素を用いて0.5-3μの深さに拡散し、さらにD8の穴をあけた後、双方にボロンを拡散すればよい。この場合基板がPまたは $\text{P}^-$ 型であるならば、いわゆるマイクロ・チアネル、MIS-FET(DSA-MIS-FETになる)構造を作製してもよい。本発明の次の工程として、第1図Dに示されている如く、二重層のうち下側のアンダーカットの可能な絶縁膜すなわち $\text{SiO}_2$ 膜2の外側周辺を弗酸またはオキシドエッチ液でアンダー・カット・エッチを行なつて9の如きくみ込みを得た。この組込みの深さは、S7、D8の積方向でのひろがりにくらべてわずかに少ない程度とした。例えば積方向のひろがりが3μあつた場合は約2μ、5μの場合は約4μ、アンダー・カット・エッチをほどこした。こうしてDを得た。この後、これら全体を再び水蒸気または湿酸中で熱酸化して、S7、D8上に酸化珪素11を、0.5μ-2μの厚さに作製する。このとき、アンダー・カット・エッチされて作られたマスク作用である被膜の10の部分は、われて除去される。

第1図Eよりわかる如く本発明の構造の、最大の特徴はS7、D8上に形成された $\text{SiO}_2$ 11は30 基板1を局部的に酸化して作られたること、およびチアネルを作りうる基板表面領域と接するS7、D8の上端部を除き、他は十分深いところに形成されることである。このため、いわゆるLocosがこの場合が全く等しいのに対し、S7、D8の最終的な深さ13、13'に対し、チアネル形成領域に接する不純物領域の上端部の巾12、12'を小さく設けることを最大の特徴とする。その結果、S7、D8を形成する不純物領域とGとの間の漂移容量を除去し、かつ、不純物領域それ自体40 のシート抵抗を下げるためにはきわめて重要なことであり、特に本発明の最終目的である。半導体メモリ装置をマトリクス構造で作製せんとした場合、最も理想的な構造であることがわかる。

この後、二重膜2、3を化学的に除去し、その

5

表面を十分洗浄にした後、ゲイト絶縁膜およびゲイト電極、リードを作製した。すなわち、Fにみられる如く、半導体基板1表面を硫酸、硝酸または炭酸ガス、または過酸化窒素を水素のキアリアガスで炉内に送り、その表面を15~2000Åの厚さに酸化する。この酸化温度は950℃~1100℃がよく、いわゆる非常にうすい膜を作るために600℃~700℃の温度で酸液中で基板を酸化し、15~40Åの膜厚のSiO<sub>2</sub>膜15を作る方法は表面単位が多くて好ましくない。むしろ、かかるうすい膜は、炭酸ガスまたは過酸化窒素を水素または窒素のキアリアガスにより希釈して流した反応炉中で作る方法が好ましい。なぜならこの場合は酸化温度が1000℃前後であり、いわゆる“かたい”酸化膜ができるからである。

さらに、本発明においては、半導体または金属(導体)の塊状のクラスタまたは膜からなる層を電荷のTLとして16に作った。図面では例えばシリコンの半導体を200~10000Åの厚さにシランの熱分解法により容積させたものである。また塊状のクラスタは、全く同様にして作られるが、それは平均膜厚が200Å以下で存在し、その大きさは合成条件によつて異なるが、電子顕微鏡で調べた範囲では、径10Åの直径の微粒子状のものから、直径約2000Åの半球状のものまで存在しているが、いずれにしても塊状のクラスタ(以下クラスタという)とは被膜になる前段階のもので互いに電気的に分離した粒子が群をなした構造を意味するものであると定めてよいと思われる。半導体の場合は、必要に応じてPまたはN型の不純物をドーブしたシリコンまたはゲルマニウムを用い、金属には、アルミニウム、モリブデン、タンタル、チタン、ベリリウムなどが主な材料であり、金属は塩化物として気相法で作製しても、また真空蒸着法、またはスパッタ法により作製してもよい。絶縁物によりくまられた層膜をTLとして用いる場合は、平均膜厚は300Å以上存在することを必要とし、それが1000Å以上の場合は厚膜として定めてもよい。

かくの如くにして、TLを作製した後、この上面に絶縁膜17を作製した。これには酸化珪素、酸化アルミニウム、または酸化タンタルを用いる、この絶縁膜は比誘電率が高い方が好ましい。

6

SiN膜を17として、かつTL16にシリコンを用いる場合は第1図Fを得た後、このすべてを再び水蒸気または湿酸液中で酸化した。かくの如くにして、TL16を形成しない不要部分を酸化してGにみられる如くTLの側周辺のTLを形成している材料の酸化物絶縁物SiO<sub>2</sub>18とした。TLに珪素以外の材料を用いかつその材料が安定な酸化物絶縁物を形成しない場合は、20のTLの側周辺の部分は化学的エッチ液で除去すればよい。

第1図Gは、ゲイト電極19を作つたもので、S7、D8がX軸に平行な場合、G19はY軸に平行になる。図Gよりわかる如く、本発明構造は、2つの特徴を有する。その1つは、TL16とG19との間の静電容量は、TL16と基板1との間の静電容量に比較して十分大きくするため、TL16はS7、D8の上側に基板に埋置して設けられた絶縁物の上面にわたつて作られていることである。第2は、S7、D8の上端12、12'の巾をきめて小さくさせそれに比較してS、Dを形成するその拡散層の長さ13、13'が大きいことである。この上端12、12'が小さいことは2つの点を解決する。すなわちもしS7の上端12が大きいと、Sは基板と同電位にもなることがあるから、基板1とTL16との間の無意味な静電容量を大きくする。また、D8の上端12'が大きいとDとGとの容量結合が大きくなり、MISFETの動作特性を悪化させる。以上の特徴を有せしめるために、本発明は第1図Dで明らかな如く、S7、D8を拡散して作製した後ゲイト領域形成用マスクに対しアンダー・カット・エッチを行なつたことにある。この本法を用いず、フォトリソ法により、次の酸化工程のとき酸化されるべき部分を除去してもよい。しかしこの場合は、マスク合せの精度が十分なければならない。

第2図Aは、第1図Gの電気的等価回路を記したものである。すなわち、S7、D8が基板1に作られ、基板1とTL16とにキアパンタC<sub>2</sub>があり、またTL16とG19とにキアパンタC<sub>1</sub>が存在する。この構造において第2図Bは極端に、C<sub>1</sub>/C<sub>2</sub>を、またはC<sub>2</sub>を5PFとしたときのC<sub>1</sub>の値を示し、また縦軸は全ゲイト電圧のうちC<sub>2</sub>に分割して印加される電圧の値を示している。こ

7

れよりわかる如く、Gの電圧 $V_g$ は、 $C_1=C_2$ のとき等しく分割されるが、 $C_1/C_2>1$ では少しずつ増加してゆく。いずれにしても $C_1/C_2$ が3のときは、 $V_g$ の75%が $V_2$ に印がされる。このことは、 $C_1$ を大きくし、 $C_2$ を小さくすればするほど基板よりTLに電荷を注入するに必要な電界を $V_2$ で得んとしても、低い $V_g$ で十分になることを示している。逆にいえば、半導体メモリ装置の駆動に必要な外部電界を小さくすることができる。しかし $C_2$ を小さくするため $C_2$ を構成する絶縁膜の膜厚を厚くすると、キアリアのTLに注入するに時間がかかり、応答速度がおそくなる。結果として、 $C_2$ は低い誘電率のものをうすくして用い、また $C_1$ は高い誘電率で、かつそのCを作るのに必要な面積を増して、その値を大きくするのがよいことがわかる。実用的には $C_1/C_2$ は2~4であろう。

#### 実施例 2

本実施例は、第3図にその縦断面図が記してある。これは第2図のそれと類似であるが、S7, D8の抵抗をさらに減少せしめるため、その一部は金属化合物または金属との多層膜を作っているにある。

第2図Aは、その作製工程として第1図Dに相当する。すなわち、Nチアネル・MIS・FETを作るため、P型基板1を用いた。またTLに低い電圧でアバランシェ等によるホットキアリアを生成してその電荷を注入するため、本実施例はゲイトに電圧 $V_g$ を加えると同時に、S7に基板と同一の導電型のうめ込み層25が作つてある。これは、基板1の不純物濃度が例えば $1 \times 10^{18} \text{ cm}^{-3}$ であつた場合、この基板またはD8とS7との間に逆バイアスを加えて、シアンクシオン・アバランシェまたはコンダクシオン・アバランシェを利用してホットキアリアを作らんとした場合、そのキアリアを作るのに必要な印加電圧の絶対値を下げるためのものである。このためうめ込み層は、ここでは基板と同一の導電型で、かつその不純物濃度は基板のそれより1桁以上高くしてある。例えば $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲にした。なおこの実施例よりわかる如く、うめ込み層があるときは、いわゆる図面におけるS7の外周に作られ、信号の脱出しのS7, D8はうめ込みの際にはD7, S8として用いることを原則としている。

8

この後、S7, D8の抵抗値を下げるため、この上部に金属膜20が $0.05 \sim 0.5 \mu$ の厚さに真空蒸着法、気相法またはスパッタ法により形成されている。この材料としては、アルミニウム、チタン、タンタル、ベリリウム、クロムなどがよかつた。この材料に対しては、基板シリコンと合金を作ること、基板シリコン中への拡散係数が小さいこと、比較的酸化されやすく、酸化された膜は絶縁膜となり、特にアルカリイオンに対する保護作用があること、さらにマスク作用のある被膜3とは反応をしないことなどの性質を有することが重要である。このため、酸化されにくいモリブデン。タングステンは必ずしも適当でなく、また金、白金は、シリコンおよび $\text{SiN}$ ,  $\text{SiO}_2$ 中への拡散係数が大きいことなどより不適当であつた。

次に第1図Bに示す如く、かかる金属膜21を水素または不活性気体中で加熱し21にみられる如く、基板シリコンと合金を作くり、さらに被膜2のうち合金を作らない成分および被膜3上の金属膜を、化学的に除去してBを得た。

次に第3図Cは第1図Eに対応するが、これらすべてを水蒸気または湿酸中で $950^\circ\text{C} \sim 1150^\circ\text{C}$ の温度で酸化した。この酸化は、テトラ・ヒドロ・フルヒル・アルコールを溶媒として用い溶質として硝酸を10%前後混入した溶液を用い陽極酸化をしてもよいことはいふまでもない。ただし、陽極酸化を行なう場合は、被膜3に $\text{SiN}$ を用いるとそこも酸化されて $\text{SiO}_2$ になることが知られている。このため化成電圧は、 $\text{SiN}$ 膜を酸化することのない程度の低い電圧にしなければならない。

以上の如くにして、 $\text{SiO}_2$ 膜22が作られるが、その一部または全部に金属膜の酸化物、例えばアルミナ、チタニア、ベリリア、酸化タンタルが23として含まれている。図面の如き構造は酸素との反応が、基体表面で行なわれた場合生ずるもので、もし酸素が反応面まで拡散してゆくならば、金属酸化物は22の中にも均一に混在している。24は、金属-シリコンの合金領域である。

図面よりわかる如く、Aでアンダー・カット・エッチ9を十分行なつているため、S7 D8の上端部のひろがり12は、S7, D8の深さ方向のひろがり13に比べて十分小さいことがわかる。

9

さらに26よりわかる如く、基板に酸化して作られる $\text{SiO}_2$ の膜26は、弧の形状をしており、DにおいてTL16を作る際、またQ18を作る際、かかる部分での断膜がおこりにくいことがわかる。

この際、被膜2,3を除去し、Dにみられる如く、絶縁膜15, TL16、絶縁膜17およびQ13を作製した。絶縁膜15, 17はそれぞれ酸化珪素、窒化珪素を用いたが、これらは異種絶縁膜を多層に用いて15, 17としてもよいことはいうまでもない。

### 実施例 3

第4図に、本実施例の代表的な縦断面図を示す。本実施例は、同一基板に複数個のMIS・FETを作るための基本構造を示したものであつて、図面ではMIS・FET $Q_1$ とチャネルカット $Q_2$ とが示してある。

図面においてAは、第1図Gと類似の形状をしている。すなわち、基板1にはS7, 7', D8が作られ、その上部は基板を酸化して作られた埋込した絶縁物特に酸化珪素14が楕円形に示されている。さらにS7およびD8間に作られる基板1表面に密接して絶縁膜15, TL16、絶縁膜17が作られて、1つのMIS・FET $Q_1$ を形成している。隣接したMIS・FETとの間にも同様に絶縁膜15', TL16', 絶縁膜17'が作られているが、そのTL16'の周辺は、S7', D8の上端の上方より十分離れている。このTL16はチャネル・カットとして用いたものである。図面において絶縁膜15, 15'は、基板1の表面を炭酸ガス中または水素または窒素のキアリアガスを併用して作られた、または乾酸法中で加熱して作られた $\text{SiO}_2$ 膜であり、いずれの場合も900℃~1150℃の温度で作製した。前者は500Å以下の膜厚時に10~100Åの厚さの被膜の作製に辺し、後者は500~1000Åの膜厚のそれを作るのに適している。この絶縁膜を $\text{SiO}_2$ と $\text{Si}_3\text{N}_4$ とにより作つてもよい。いずれにしても、この膜厚がうすい場合はTL16も歪を減少させるため同程度の厚さにうすくする必要がある。またこの厚さがうすければうすいほど、基板よりTLに電荷が注入、捕獲または再結合されるに必要な時間、すなわち応答速度をはやくすることができる。また、この膜さが100Å以上であるときは基板のS7の外周辺の絶縁膜のと昇

10

面近傍でのツエナプラズマ(ZP)またはアバランシェプラズマ(AP)効果を利用したホットキアリアを用いてTLに電荷を注入する必要がある。しかし、この絶縁膜15の厚さが100Å以下の場合は、トンネルまたはシヨットキ電流のみで基板から電荷をTLに注入することができる。ただし、この場合またはホットキアリアを利用する場合、基板を含む基体すべてを加熱して、絶縁膜15のみかけ上の伝導率を増加し、TLへの電荷の注入促進させた。特に絶縁膜15, 15'が100Å以上あり、ホットキアリアをTLへの電荷の注入源として使用できない。TL16'への電荷を注入する場合、きわめて有効である。図面においてはS7, 7'の外周辺には、セルフ・アライン方式を利用して、うめ込層25が作られているが、このうめ込層でZPまたはAPを用いてホットキアリアを作る場合、このホットキアリアが作られる過程で、この領域は自から熱をもち、実質的に外部より加熱されたと同じ状態になる。この内部から加熱された場合または外部より加熱された場合のいずれにおいても電荷の注入源とTLとの間の絶縁膜のみの電気伝導率 $\sigma$ が増加すれば、TLへの電荷の注入速度をはやめることができることがわかった。

具体的には、実施の場合にTLに電荷が飽和するのに1秒かかった場合、200℃にすると10ミリ秒でよいことがわかった。第5図はその結果の1例を示している。図面はシヨットキ電流のみにより基板1よりTL(この場合15')に $1 \times 10^{12} \text{cm}^{-2}$ の密度の電荷を注入するのに必要な時間と基体温度との関係である。これよりわかる如く、チャネルカット用のTLに電荷を注入するには、基板の温度を100℃~300℃にあげておくことが適当であることがわかる。またZPまたはAPを利用して、TLに電荷を注入する場合においても、ZP, APをおこさせるのに必要な電圧を低くし、かつ応答速度をはやくすることができた。例えば、基体温度が室温100℃, 200℃のときは、基板不純物濃度 $1 \times 10^{16} \text{cm}^{-3}$ , Sのそれは $1 \times 10^{20} \text{cm}^{-3}$ で70V, 40V, 22Vにすることができた。以上の如く、基体の一部または全部を加熱することにより、基板よりTLへのキアリアの注入を助長させることができた。

11

第4図Aにおいて、チアネルカット15への電荷の注入は、基体全部の温度をあげて行なつたが、この注入はG電極およびリードのため基板全体に金属例えばアルミニウムを0.5~1 $\mu$ の厚さに真空蒸着した際に行ない、その後ゲイト電極およびリードとなる部分を除いて、他はフォトエッチング法により除去した。

図面Aにおいて、うめ込み層25に2つの接合 $J_1, J_2$ を作るが、この場合 $J_2$ は不純物濃度の差はあまりなく、 $J_1$ では非常に大きくなる。このため $J_1$ でZPまたはAPはきわめておこりやすくなり、第3図Aでのうめ込み層25とは作製方法が異なるため不純物濃度の分布状態が異なるため設計にはこの点を考慮しなければならない。以上の如くにして、TL15をもつMIS・FET $Q_1$ と隣接MIS・FETとのチアネルカット $Q_2$ の基体構造およびその動作原理およびその作製方法が明らかになつたが、これはさらに多くのMIS・FETを同一基板に作製し、その結線をかえることにより、多くの機能をはたすことができることというまでもない。

第4図BはAのTLが薄膜であるのに対し厚膜とし、このとき同時にできる部分、例えば、16 $\mu$ は多層配線用リードとしたものである。ただし、これと基板に作られたS7, D8およびゲイト電極との結線を行なうためには16 $\mu$ の作製の前後に接続用の穴あけをフォトエッチング法を利用して行なわなければならない。

図面では、うめ込み層25は基板とは異なる導電型を用い、基板はすなわちドレインであり、いわゆるマイクロチアネルを作つたDSA・MIS・FETの構造を示している。ただし、DSA・MIS・FETはS7, D8をS, Dとして用いるが、TLへの電荷の注入のためにはS8, D7として用いなければならない、いわゆるDSA・MIS・FETとはその動作原理が異なる。ただし、TLに捕獲されている電荷の脱出しはS7, D8として、使用しなければならない。

CはTLとして、薄膜または厚膜でなく、クラスタ16が用いられたものである。このクラスタはその上側に作られるSiN17をへたに作るとおのずから作られてしまい、いわゆるナチュラリシリコンクラスタを用いても、またAのTLを作るよりもはるかにうすい平均膜厚に、半導体または

12

金属を気相法または真空蒸着法により作製してもよい。いずれにしてもこの場合は各クラスタは電気的に分離しており絶縁膜15が10~30Åときわめてうすく作られ、その一部にピンホールが存在してもTL15に捕獲されている電荷の大部分は、そのまま保存されるという特徴がある。しかし、この場合はA, Bで用いられた如く、 $J_1$ およびその近傍で作られるホットキャリアアを利用してTLに電荷を注入せんとしても $J_1$ 近傍で、かつその上方に位置するTLにのみ電荷が捕獲されるため、このTLとしてクラスタを用いるか薄膜を用いるかは用途およびTLへのキャリアの注入方法により決められるべきであらう。図面では、絶縁膜15をうすくしてトンネルおよびショットキ電流のみを実施または加熱雰囲気中で使うことによりTLへの電荷の注入を行なつた。このTLがクラスタの場合は、そのクラスタの存在領域がS7, D8の上方にまであつても電気的また物理的な意味はない。

本実施例では、 $Q_1$ にクラスタまたは膜のTLを有し、記憶作用を有せしめたが、このTLを作製しない場合は通常のMIS・FETとして動作する。この場合においても本発明構造および方法はドレインとゲイト電極との静電容量結合を減少させることができる。すなわち、MIS・FETの入力、出力の容量結合による帰還を除去することは、すなわちノイズの発生およびフィードバック・メリットの向上になり、きわめて有効である。特に半導体メモリ装置をチップに複数個作製する場合におけるデコーダーの作製用のMIS・FETの基本構造として有効であることはいうまでもない。

以上の説明より明らかな如く、本発明はTLのゲイト絶縁膜内での存在により不揮発性記憶を行なう半導体メモリ装置の構造、作製方法に因するものであつて、特に複数個のMIS・FETをマトリクス構造に配列した、集積回路(IC, LSI)に対してきわめて有効なものであるものと信ずる。

なお、本発明において基板とは半導体ウェハを示し、基体とはその上面に新たに被膜形成または処理を行なうその基となるものすべてを意味することを付記する。

図面の簡単な説明

第1図は本発明の基体構造およびその作製方法



13

を示すための縦断面図群である。

第2図は、T<sub>L</sub>とゲイト電極との間に作られるキャパシタおよびT<sub>L</sub>と基板との間に作られるキャパシタの相互関係を示したものである。

第3図は、本発明の他の実施例を示す縦断面図群である。

第4図は、本発明を同一基板に複数個作つた場合の基体構造を示すMIS・FETの実施例の縦

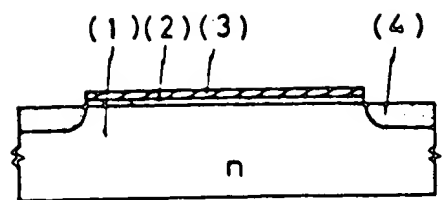
14

断面図群である。

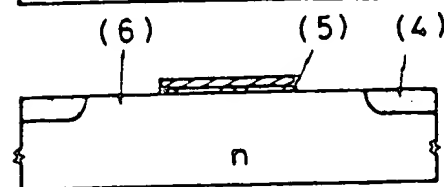
第5図は基体の温度とT<sub>L</sub>に基板より電荷を注入するのに必要な時間の関係を示す。

#### ④引用文献

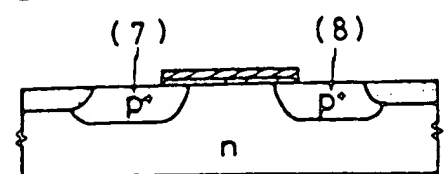
Philips Technical Review Vol. 31  
No. 71819, 1970 第225～236頁



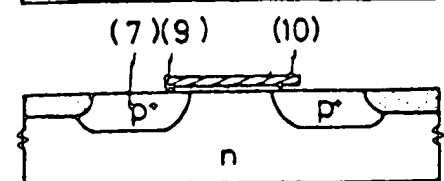
(A)



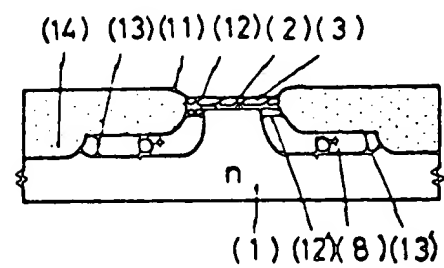
(B)



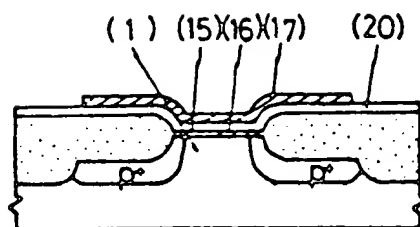
(C)



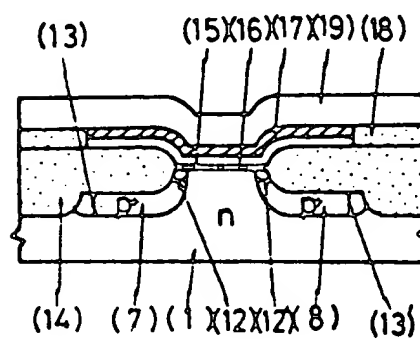
(D)



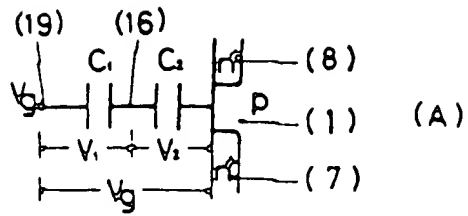
(E)



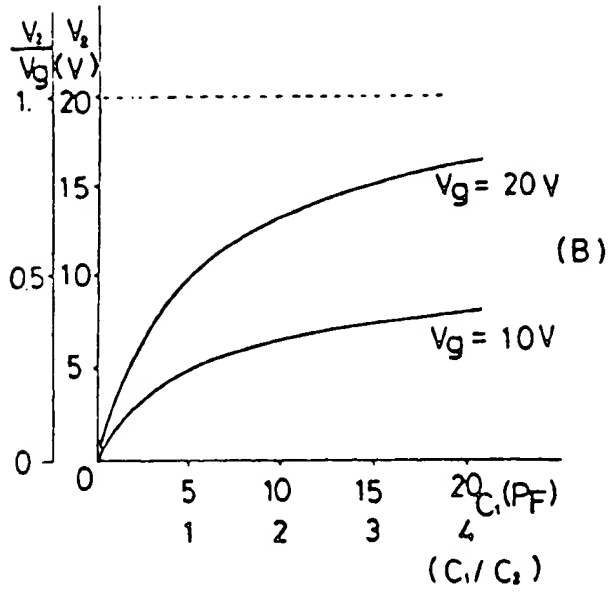
(F)



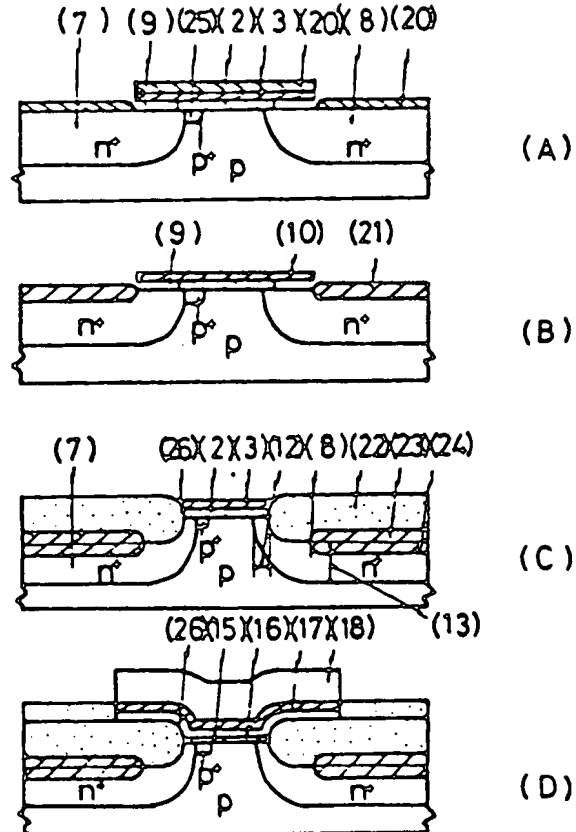
(G)

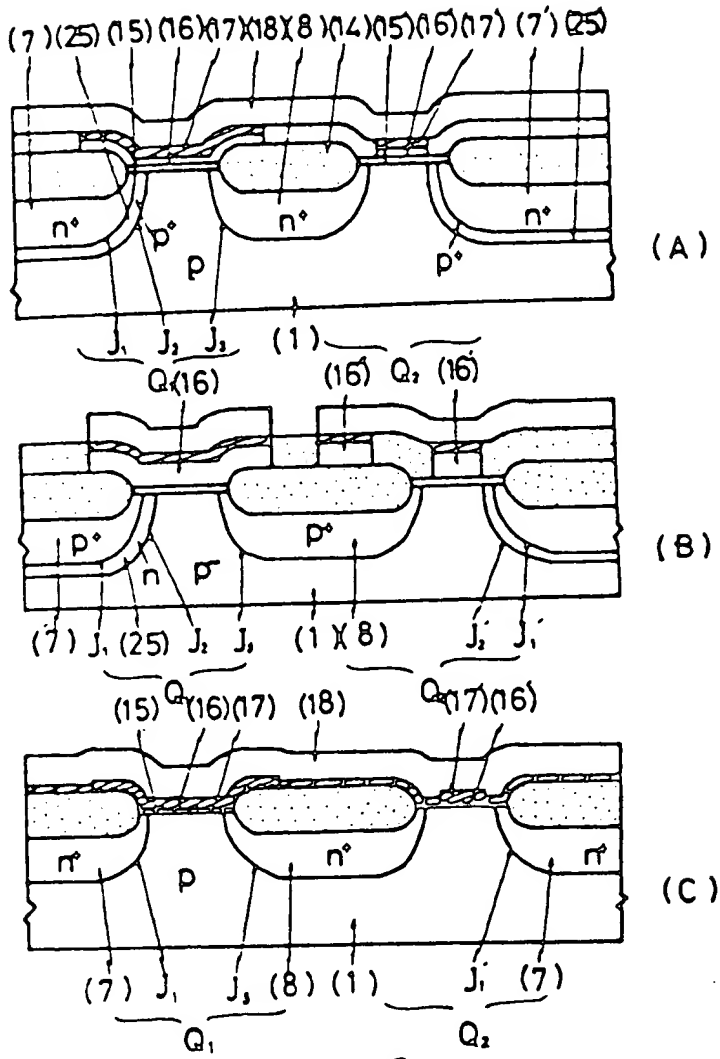


第 2 图



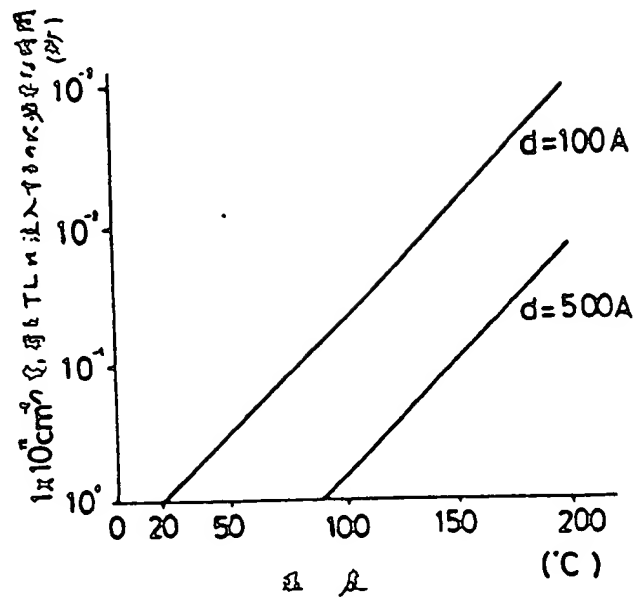
第 3 图





第 4 图

第 5 图



Japanese Kokoku Patent No. Sho 51[1976]-41515

---

Translated from Japanese by the Ralph McElroy Co., Custom Division  
P. O. Box 4828, Austin, Texas 78765 USA

Code: 179-13756

## JAPANESE PATENT OFFICE

## PATENT JOURNAL

KOKOKU PATENT NO. SHO 51[1976]-41515

Int. Cl. <sup>2</sup> :	H 01 L 29/78 G 11 C 11/34
Japanese Cl.:	99 (5) E 3 97 (7) C 19
Sequence Nos. for Office Use:	7210-57
Application No.:	Sho 46[1971]-96086
Application Date:	November 29, 1971
Kokai No.:	Sho 48[1973]-60881
Kokai Date:	August 25, 1973
Publication Date:	November 10, 1976
No. of Inventions:	3 (Total of 10 pages)

## SEMICONDUCTOR MEMORY DEVICE

Inventor:	Shunpei Yamazaki TDK Ltd. 2-14-6 Uchikanda, Chiyoda-ku, Tokyo
Applicant:	TDK Ltd. 2-14-6 Uchikanda, Chiyoda-ku, Tokyo

Reference Cited:

Philips Technical Review,  
Vol. 31, No. 71819, 1970,  
pp. 225-236

[There are no amendments to this patent.]

### Claims

1. A type of semiconductor memory device characterized by the following facts: it has source and drain adjacent to the channel forming regions on the bottom of the insulating material selectively buried in the semiconductor substrate and the surface of the aforementioned semiconductor substrate or its vicinity; on the aforementioned regions, a block-like cluster or film layer made of electroconductive or semiconductor material and wrapped by insulating material is formed; and the drain electrode is set on the insulating material on the aforementioned regions.

2. The semiconductor memory device described in Claim 1 characterized by the fact that the block-like cluster or film layer made of electroconductive or semiconductor material and wrapped by insulating material is formed on the upper surface of the insulating material buried in the semiconductor substrate; the capacitance between the aforementioned layer and the gate electrode is larger than the capacitance between the aforementioned layer and the substrate.

3. The semiconductor memory device described in Claim 1 characterized by the fact that for the block-like cluster or film layer made of electroconductive or semiconductor material, the lateral periphery is filled with the oxide insulating material of this layer.

### Detailed explanation of the invention

This invention concerns a type of semiconductor memory device characterized by the following facts: in the insulated gate field-effect semiconductor device (referred to as MISFET [sic; MOSFET] hereafter) with source (referred to as S hereafter) and drain (referred to as D hereafter) set adjacent to the bottom portion of an insulating material, in particular, silicon oxide (referred to as  $\text{SiO}_2$  hereafter) formed in a partially buried form by selective oxidation for the upper portion of a semiconductor substrate, except the upper-end portion in connection to the substrate surface region which can form the channel, a layer made of a block-like cluster or film made of a semiconductor or electroconductive material and wrapped by the insulator is set beneath the gate electrode as the charge trapping center on the channel forming region, that is, as a trap layer (referred to as TL hereafter). This invention provides a configuration characterized by the fact that TL and G are formed over the upper surface of the insulating material, in particular,  $\text{SiO}_2$ , formed by burying on the upper portion of the substrate so as to increase the electrostatic capacitance between TL of the MISFET and the gate electrode (referred to as G hereafter) formed in the gate insulating film.

The final purpose of this invention is to provide a configuration characterized by the following facts: a type of double-layer film made of  $\text{SiO}_2$  film and a film having the mask function against the impurity diffusion and oxidation is formed on the prescribed portions of a semiconductor substrate; from the



aforementioned double-layer film, at least S, D and their leads are formed by diffusing and doping the impurity into the semiconductor substrate; in addition, depending on the requirement, a metal coating is formed on the surface, and only the silicon oxide film is partially removed from the side surface using a chemical method; then, with the upper end of the diffusion layer that performs sinking/sourcing of the channel current left on the surface of the semiconductor, the upper surface of S and D as the remaining portion is made in contact with the bottom of  $\text{SiO}_2$  formed in a burying form by sufficient oxidation of the surface of the substrate with no double-layer film present on it.

In the conventional scheme of manufacturing of MISFETs, S, D, G are the least necessary elements. In addition, when they are integrated in a single semiconductor substrate, such as in the case of semiconductor memory devices, in addition to the aforementioned elements, there are also the so-called channel cut for electrical isolation of the adjacent MISFETs and the insulating film with a thickness larger than  $0.5 \mu\text{m}$  and with a small dielectric constant for reducing the stray capacitance between the substrate and the leads, in particular, between the substrate and the gate lead.

There are many methods proposed to meet these requirements. Among them, the manufacturing method known as the LOCOS method developed by Philips Co. is the representative one. This invention provides a further development from the aforementioned manufacturing method and the configuration determined uniquely by the aforementioned manufacturing method. That is, the purpose of

this invention is to provide a basic configuration and manufacturing method of the nonvolatile 1-bit/1-element semiconductor memory device. The following is a detailed description of it.

#### Application Example 1

Figure 1 is a longitudinal cross-sectional view illustrating a manufacturing method and configuration of this invention. As semiconductor substrate (1), an n-type (100)  $n_0 = 5 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$  was used. The electroconductive type, crystalline geometry, and impurity concentration of the substrate may be changed according to the specific purpose of application.

After the surface of substrate (1) was made sufficiently clean, the thermal oxidation method is used to form a  $\text{SiO}_2$  film (2) with a thickness in the range of 100-500 Å. Then, on this film, a film with a mask function against the impurity diffusion and oxide gases, such as a silicon nitride film (referred to as SiN film hereafter) or a molybdenum film is formed with a thickness in the range of 500-3000 Å. It is preferred that the  $\text{SiO}_2$  film and the film formed on it be formed at a temperature over 900°C. In particular, in the case when SiN is used, the temperature should be selected as high as technically possible to suppress formation of cracks as the density is increased. When the double-layer film is formed, in the case of molybdenum, [it is formed using] a molybdenum etching liquid; in the case of SiN, the  $\text{SiO}_2$  film on its upper surface [sic] was formed using the reaction between silane and carbon dioxide. By oxide etching,

the undesired portions of the  $\text{SiO}_2$  film were removed, followed by removal of the  $\text{SiN}$  film under it using hot phosphoric acid. Then, all of the  $\text{SiO}_2$  film was removed. Afterwards, using it as a substrate, thermal oxidation was carried out in water vapor or wet oxygen at  $900\text{--}1150^\circ\text{C}$ , forming the configuration shown in Figure 1A. The upper surface of  $\text{SiO}_2$  (4) formed by oxidation is step-etched beforehand by a buffer etching liquid so that this upper surface comes to nearly the same level as that of substrate (1). In this case, calculations may be carried out for the case of an infinitely flat plate in consideration of the fact that as silicon is oxidized, the [obtained silicon oxide] has a thickness 2-3 times that of the original silicon.

Then, as shown in Figure 1B, a portion of the double-layer film is removed chemically to expose the substrate surface as (6) for forming the S and D. With this double-layer film and  $\text{SiO}_2$  (4) used as mask, thermal diffusion is carried out to form S7 and D8. In the example shown in the figure, a p-channel MISFET is formed. In this case, boron is diffused with a depth of  $3\text{--}10\text{ }\mu\text{m}$ . In this case, the extent of the diffusion layer in the transverse direction is nearly equal to the depth of the diffusion layer itself. In order to form an embedded layer with  $n^+$ -type channel-cut function on the periphery of this  $p^+$  S7, first of all, a window for S7 is opened, followed by diffusion of phosphorus or arsenic as the  $n^+$  layer with a depth in the range of  $0.5\text{--}3\text{ }\mu\text{m}$ ; then, after the window for D8 is opened, boron diffusion is carried out for both [openings]. In this case, if the substrate is of p type or p-type, it is acceptable to form a so-called microchannel MISFET (DSA MISFET) configuration. As shown in

Figure 1D, in the next stage of this invention, undercut etching is carried out for the outer periphery of  $\text{SiO}_2$  film (2) as the insulating film on the lower side of the double-layer film, which may be undercut to form an embedded layer (9). The depth of this embedded layer is selected slightly smaller than the extent of S7, D8 in the transverse direction. For example, suppose the extent in the transverse direction is  $3\text{ }\mu\text{m}$ , then this depth should be selected at about  $2\text{ }\mu\text{m}$ ; if the expanse is  $5\text{ }\mu\text{m}$ , then the depth should be selected at about  $4\text{ }\mu\text{m}$  in the undercut etching operation. In this way, D is obtained. Afterwards, the overall system is thermally oxidized in water vapor or wet oxygen, forming a silicon oxide layer (11) with a thickness in the range of  $0.5\text{--}2\text{ }\mu\text{m}$  on S7, D8. In this case, the portion of coating (10) formed in undercut etching and having a mask function is split and removed.

As can be seen from Figure 1E, the most significant features of the configuration of this invention are that  $\text{SiO}_2$  (11) on S7, D8 is formed by locally oxidizing substrate (1), and that [it is] formed with a sufficiently large depth, except the upper-end portion of S7, D8 in connection to the substrate surface region that can form the channel. Consequently, it is possible to make widths (12), (12') of the upper-end portions of the impurity regions in connection to the channel-forming region smaller than ultimate depths (13), (13') of S7, D8. This is the most significant feature, and it is different from the so-called LOCOS [method], in which the aforementioned dimensions are totally equal to each other. Consequently, it is possible to eliminate the stray capacitance between the impurity region that forms S7,

D8 and G, and it is possible to decrease the sheet resistance of the impurity region itself. This is the ultimate purpose of this invention. It is known that this is the most ideal configuration for the case of a semiconductor memory device to be formed in a matrix configuration.

Then, after double-layer films (2), (3) are removed chemically and the surface is cleaned sufficiently, the gate insulating film, the gate electrode, and the lead are formed. That is, as seen in F, the surface of semiconductor substrate (1) is oxidized with a thickness of 15-2000 Å by introducing a mixture of dry oxygen, wet oxygen, carbon dioxide, or nitrogen peroxide and a hydrogen carrier gas into the furnace. The oxidation temperature may be set in the range of 950-1100°C. On the other hand, when the substrate is oxidized in oxygen at a temperature in the range of 600-700°C for forming very thin films, the SiO<sub>2</sub> film (15) formed with a thickness of 15-40 Å has many surface energy levels, and hence this method is not preferred. Instead, it is preferable to form this type of thin film in a reaction oven with a flow of carbon dioxide or nitrogen peroxide diluted with a hydrogen or nitrogen carrier gas. In this case, the oxidation temperature is about 1000°C, and it is thus possible to form a so-called "hard" oxide film.

In addition, according to this invention, a layer made of the block-like cluster or film made of semiconductor or metal (conductor) is formed as the charge TL (16). In the example shown in the figure, [a film of] silicon semiconductor with a thickness of 200-10000 Å is deposited using the silane pyrolysis method. The block-like cluster may be formed in the same way,

but the average film thickness is smaller than 200 Å, and its size depends on the synthesis stripes [sic; formation conditions]. Observation by electron microscopy indicates that there are various types of particles, ranging from micron-sized particles with diameter of several tens of Å to semi-spherical particles with diameter about 2000 Å. In any case, it is possible to define the block-like cluster (referred to as cluster hereafter) as having a configuration made of a group of particles electrically isolated from each other as in a stage before formation of a film. In the case when semiconductor material is used, either silicon or germanium doped with either p- or n-type impurity may be used. In the case when metal is used, the main materials include aluminum, molybdenum, tantalum, titanium, beryllium, etc. The metal may be formed either by CVD from chloride or using a vacuum evaporation method or a sputtering method. In the case when a film wrapped with insulating material is used, the mean film thickness should be larger than 300 Å. When the thickness of the film is over 1000 Å, it is defined as a thick film.

After the TL is formed, an insulating film (17) is formed on its upper surface. It may be made of silicon nitride, aluminum oxide, or tantalum oxide. It is preferred that the insulating film have a high dielectric constant.

In the case when film (17) is made of SiN and TL (16) is made of silicon, after what is shown in Figure 1F is obtained, all are oxidized again in water vapor or wet oxygen. In this way, the unwanted portion that does not form TL (16) is oxidized, and is used as oxide insulating material SiO<sub>2</sub> (18) of the

material that forms the TL, on the periphery of TL, as can be seen from [1] G. On the other hand, for the case when a material other than silicon is used to form the TL which does not form a stable oxide insulating material, the peripheral portion of TL (20) may be removed chemically using an etching liquid.

As shown in Figure 1G, gate electrode (19) is formed. In the case when S7 and D8 are parallel to the X-axis, G19 is parallel to the Y-axis. As can be seen from Figure 1G, there are two features for the configuration of this invention. First, in order to ensure that the electrostatic capacitance between TL (16) and G (19) is significantly larger than the electrostatic capacitance between TL (16) and substrate (1), TL (16) is formed on the upper surface of the insulating material embedded in the substrate on the upper side of S7 and D8. Second, the widths of upper ends (12), (12') of S7 and D8 are rather small, and compared with them, depths (13), (13') of the diffusion layers that form the S and D are much larger. Small upper ends (12), (12') solve two problems. That is, if upper end (12) of S7 is large, S may become equipotential with the substrate; hence, the unwanted electrostatic capacitance between substrate (1) and TL (16) is large. On the other hand, if upper end (12') of D8 is large, the capacitive coupling between D and G is increased, and the operational characteristics of the MISFET are degraded. Due to the aforementioned features, for this invention, as shown in Figure 1D, after S7 and D8 are formed by diffusion, undercut etching is carried out with respect to the mask for forming the gate region. It is also acceptable to use a photoetching method to remove the portion to be oxidized in the next oxidation stage

[sic] instead of the aforementioned method. However, in this case, the mask alignment should be carried out with a very high precision.

Figure 2A shows the electrical equivalent circuit of Figure 1G. That is, S7 and D8 are formed on substrate (1), with capacitor C2 formed between substrate (1) and TL (16), and with capacitor C1 formed between TL (16) and G (19). For this configuration, in Figure 2B, the abscissa shows  $C1 / C2$  as well as the value of C1 when C2 is 5 pF, while the ordinate shows the voltage applied to C2 as the total gate voltage. It can be seen from this figure that voltage  $V_g$  of G is equally divided when  $C1 = C2$ , and it is increased [sic; and the division is shifted] slightly when  $C1 / C2 > 1$ . For example, when  $C1 / C2$  is 3, 75% of  $V_g$  is applied as  $V_2$ . This indicates that when C1 is increased while C2 is decreased, a lower  $V_g$  is sufficient to yield a value for  $V_2$  as needed to form an electric field for injecting charge from the substrate into the TL. In other words, in this case, it is possible to reduce the external electrical field needed for driving the semiconductor memory device. However, when the thickness of the insulating film used to form C2 is increased in order to decrease C2, the time for injection of carriers into the TL is prolonged, and the response speed is decreased. Consequently, it is preferred that C2 be made of [an insulating layer] with a low dielectric constant and a small thickness, while C1 be made of [an insulating film] with a high dielectric constant and an increased area as needed to realize the desired value of C. For the practical application,  $C1 / C2$  should be in the range of 2-4.



### Application Example 2

Figure 3 is a longitudinal cross-sectional view of this application example. It is similar to Figure 2. However, in order to further reduce the resistance of S7 and D8, a portion is made of double-layer film with metal compound or metal.

Figure 2A depicts a manufacturing stage corresponding to that illustrated in Figure 1D. That is, in order to form n-channel MISFET, p-type substrate (1) is used. In addition, for formation of hot carriers in avalanche at a low voltage and injection of the charge into TL, in this application example, at the same time when voltage  $V_g$  is applied to the gate, an embedded layer (25) with the same electroconductive type as that of the substrate is formed in S7. The reason is to reduce the absolute value of the applied voltage needed for formation of the carriers in the case when hot carriers are formed using junction avalanche or conductance avalanche with a reverse bias applied between the substrate or D8 and S7 in the case when the impurity concentration of substrate (1) is, say,  $1 \times 10^{15} \text{ cm}^{-3}$ . For this purpose, the embedded layer is formed with the same electroconductive type as that of the substrate and with an impurity concentration one or more orders of magnitude higher than that of the substrate, such as in the range of  $1 \times 10^{16}$ – $1 \times 10^{19} \text{ cm}^{-3}$ . As can be seen from this application example, when the embedded layer is to be formed, it is formed on the periphery of S7 as shown in the figure, and S7 and D8 for signal readout are used in principle as D7, S8 in the case of writing.

Then, in order to reduce the resistance of S7, D8, a metal film (20) with a thickness of 0.05-0.5  $\mu\text{m}$  is formed using a vacuum evaporation method, CVD method, or sputtering method. Examples of the materials that may be used include aluminum, titanium, tantalum, beryllium, chromium, etc. For the material used, it is important to have the following properties: ability of formation of an alloy with silicon in the substrate, a small diffusion coefficient in the substrate silicon, ease of oxidation, the ability of using the oxide film as an insulating film with protective effect against alkali ions and no reaction with coating (3). In consideration of these required properties, molybdenum and tungsten, which are difficult to oxidize, are not appropriate. In addition, gold and platinum are also not preferred as their diffusion coefficients in silicon, SiN, and SiO<sub>2</sub> are high.

Then, as shown in Figure 1B, metal film (21) is heated in hydrogen or inert gas to form an alloy between (21) and the substrate silicon, followed by removal of the components of the coating that cannot form the alloy and the metal film on coating (3) using a chemical method, forming B [sic; forming the configuration shown in Figure 1B].

Figure 3C corresponds to Figure 1E. In both cases, oxidation is carried out in water vapor or wet oxygen at temperature in the range of 950-1150°C. Of course, this oxidation may also be carried out by anodization using a solution prepared by adding about 10% of nitric acid as solute into tetrahydrofluoril [sic; tetrahydrofluoro] alcohol as the solvent. In the case of anodization, as SiN is used as coating (3), it may

also be oxidized to  $\text{SiO}_2$ . Consequently, the chemical formation voltage should be made low enough so that there is no oxidation of the  $\text{SiN}$  film.

As explained above,  $\text{SiO}_2$  film (22) is formed. However, a portion or all of it may contain a metal oxide film (23), such as alumina, titania, beryllia, or tantalum oxide. In the configuration shown in the figure, the reaction with oxygen takes place on the surface of the base. However, if oxygen is made to diffuse to the reaction surface, the metal oxide can also be dispersed uniformly in film (22). (24) is the metal-silicon alloy region.

As can be seen from the figure, in order to carry undercut etching (9) sufficiently in A, expanse (12) of the upper-end portion of S7, D8 should be made significantly smaller than depth (13) of S7, D8. As can be seen from (26), end (26) of  $\text{SiO}_2$  formed in oxidation of the substrate has an arc shape; when TL (16) in D is formed, or when G (18) is formed, breakage of the film at this portion is less probable.

As can be seen from D, in this case, coatings (2), (3) are removed, forming insulating film (15), TL (16), insulating film (17), and G (13). Insulating films (15), (17) are made of silicon oxide and silicon nitride, respectively. However, (15) and (17) may also be made of multi-layer films with different types of insulating layers.

### Application Example 3

Figure 4 is a longitudinal cross-sectional view of this application example. In this application example, a number of MISFETs are formed on a single substrate. In the basic configuration shown in the figure, MISFET Q1 and channel cut Q2 are represented.

In Figure [4]A, the configuration is similar to that in Figure 1G. That is, S7, 7', D8 are formed on substrate (1); in the upper portion, substrate (1) is oxidized, forming an elliptically shaped insulating material, such as silicon oxide (14). In addition, insulating film (15), TL (16), and insulating film (17) are formed between S7 and D8 and are in close contact with the surface of substrate (1), forming an MISFET Q1. Similarly, insulating film (15'), TL (16'), and insulating film (17') are formed between it and the adjacent MISFET. The periphery of TL (16') is isolated sufficiently from the upper end of S7', D8. TL (16) is used as a channel cut. Insulating films (15), (15') shown in the figure are SiO<sub>2</sub> films formed by heating the surface of substrate (1) in a gas mixture of carbon dioxide and a carrier gas of hydrogen or nitrogen or, as another method, in dry oxygen. In both methods, the operation is carried out at a temperature in the range of 900-1150°C. The former method is suitable for forming a film with a thickness smaller than 500 Å, such as in the range of 10-100 Å, while the latter method is appropriate for forming a film with a thickness in the range of 500-1000 Å. The insulating films may also be made of SiO<sub>2</sub> and SiM [silicon oxide metal]. In any case, when the film thickness

is small, it is necessary to have the thickness of TL (16) reduced to a similar level so as to reduce strain [sic]. The smaller the thickness, the shorter the time needed to inject, trap, and recombine the charge in the TL, and hence the faster the response speed. In the case when the thickness of the film is larger than  $100 \text{ \AA}$ , it is necessary to inject charge into the TL by making use of the Zener plasma (ZP) or avalanche plasma (AP) in the vicinity of the interface between the substrate and the insulating film on the periphery of S7. On the other hand, in the case when the thickness of insulating film (15) is smaller than  $100 \text{ \AA}$ , it is able to inject charge from the substrate into the TL using only the tunnel or Schottky current. For both this case and the case when hot carriers are utilized, the entire base material portion including the substrate is heated so as to increase the apparent conductivity of insulating film (15) and thus to promote injection of charge into the TL. In particular, when the thickness of insulating films (15), (15') is larger than  $100 \text{ \AA}$ , the hot carrier can no longer be used as the source for injection of charge into the TL. [Heating of the substrate] is very effective in injecting charge into the TL (16'). As shown in the figure, on the periphery of S7, 7', an embedded layer (25) is formed using the self-alignment method. In the case when ZP or AP is used to form hot carriers in this embedded layer, in the process of formation of these hot carriers, the region is heated by itself and the state is identical to that when external heating is carried out. For both the case when internal heating is carried out and the case when external heating is carried out, if only the electroconductivity  $\sigma$  of the insulating film between

the charge injecting source and TL is increased, it is possible to increase the injection rate of charge into the TL.

More specifically, in the case of implementation, suppose 1 sec is needed for saturation of charge in the TL, then when it is heated to 200°C, only 10 msec are sufficient. Figure 5 shows an example of the results. This figure illustrates the relation between the time needed for injection of charge with a density of  $1 \times 10^{12} \text{ cm}^{-2}$  from the substrate into TL ((15') in this case) using only the Schottky current and the temperature of the base. It can be seen from this figure that for injection of charge into the TL for channel cut, it is appropriate to raise the temperature of the substrate to the range of 100-300°C. In the case when ZP or AP is used to inject charge into the TL, it is also possible to reduce the voltage needed for performing ZP or AP and to increase the response speed. For example, when the temperature of the base is set at room temperature, 100°C, and 200°C, suppose the substrate impurity depth [sic; concentration] is  $1 \times 10^{16} \text{ cm}^{-3}$  and the [impurity concentration of] S is  $1 \times 10^{20} \text{ cm}^{-3}$ , [the voltages] are 70 V, 40 V, and 22 V, respectively. As explained above, by heating a portion or all of the base, it is possible to promote injection of carriers from the substrate into TL.

In Figure 4A, injection of charge into channel cut (15') is carried out by raising the temperature for the entire base. This injection is usually carried out in the case when a film of metal, such as aluminum, with a thickness of 0.5-1  $\mu\text{m}$  is vacuum-evaporated on the entire substrate for forming G electrode and leads; then, except for the portions of the gate electrode and

leads, the remaining portion is removed using the photoetching method.

As Shown in Figure [4]A, two junctions J1 and J2 are formed in embedded layer (25). However, in this case, while there is little difference in the impurity concentration in J2, it is very large in J1. As a result, ZP or AP may take place very easily in J1. As the distribution state of the impurity concentration becomes different because the formation method of the embedded layer is different from that for embedded layer (25) in Figure 3A, this point must be taken into consideration in the design. In the above, the basic configuration and operation principle are clarified for channel cut Q2 between MISFET Q1 having TL (15) and the adjacent MISFET. More MISFETs may be formed in a single substrate. By changing the wiring pattern, it is possible to perform a variety of functions.

Different from the configuration shown in Figure 4A, which has TL as thin film, Figure 4B shows the thick film portion that can be formed at the same time, such as lead (16") for multi-layer wiring. In order to perform wiring with S7, D8 and the drain electrode formed in the substrate, before or after formation of (16"), holes are formed for connection using the photoetching method.

The figure shows the configuration of DSA MISFET with the so-called microchannel formed in it, using an electroconductive type different from that of the substrate for embedded layer (25) and using the substrate as the drain. For said DSA MISFET, S7, D8 are used as the S, D. For injection of charge into TL, however, [they] must be used as S8, D7. The operation principle thus differs from that of the so-called DSA MISFET [sic]. In

order to read out the charge trapped in the TL, they must be used as S7, D8.

In Figure [4]C, cluster (16) is used instead of thin or thick film as the TL. This cluster may be formed naturally with SiN (17) formed on its upper side in the form of the so-called natural silicon cluster, or, it may also be formed from semiconductor or metal with an average film thickness much smaller than that of TL in Figure [4]A using the CVD or vacuum evaporation method. In any case, here the cluster [portions] are isolated electrically from each other; insulating film (15) is formed with a very small thickness (10-30 Å). Although there are pin holes in a portion of the film, it can still store most of the charge trapped by TL (15). This is a prominent feature of the film. However, in this case, just as in Figures [4]A and B, in order to ensure that charge is caught only in the TL located near or above J1 even when charge is injected into J1 or TL formed in its vicinity using hot carriers; whether the cluster is used as the TL or the film is used, it depends on the injection method of carriers into the TL and the specific application. As shown in the figure, insulating film (15) is made thin and only tunnel [current] and Schottky current are used in the implementation [sic] or elevated-temperature atmosphere, so that injection of charge into the TL is carried out. In the case when the TL is a cluster, even when the cluster is present above S7, D8, there is still no electrical or physical significance.

In this application example, Q1 has TL in the form of cluster or film, and it performs a memory function. In the case when this type of TL is not formed, it operates as a conventional MISFET. In this case, it is possible to reduce the electrostatic



capacitive coupling between the drain and the gate electrode in the configuration and method of this invention. That is, elimination of the feedback caused by the capacitive coupling between the input and output of the MISFET is very effective in improving [sic; eliminating] noise generation and increasing the figure of merit. In particular, in the case when a number of semiconductor memory devices are formed on a chip, this method is effective in forming the basic configuration of the MISFET used for forming the decoder.

As explained above, this invention provides a configuration and manufacturing method of a type of semiconductor memory device with TL present in the gate insulating film for nonvolatile memory operation. It is believed that this invention is particularly useful for the IC or LSI with a number of MISFETs arranged in a matrix configuration.

In addition, in this invention, the substrate refers to a semiconductor wafer, and the base refers to the base formed on the substrate by forming a coating or by other processing.

#### Brief explanation of the figures

Figure 1 present a group of longitudinal cross-sectional views illustrating the configuration and manufacturing method of the base in this invention.

Figure 2 illustrates the relation between the capacitor formed between the TL and the gate electrode and the capacitor formed between the TL and the substrate.

Figure 3 illustrates another application example of this invention.

Figure 4 presents a group of longitudinal cross-sectional views illustrating an application example of a MISFET with a base configuration with a number of elements formed on a single substrate.

Figure 5 shows the relation between the temperature of the base and the time needed for injection of charge from the substrate into TL.

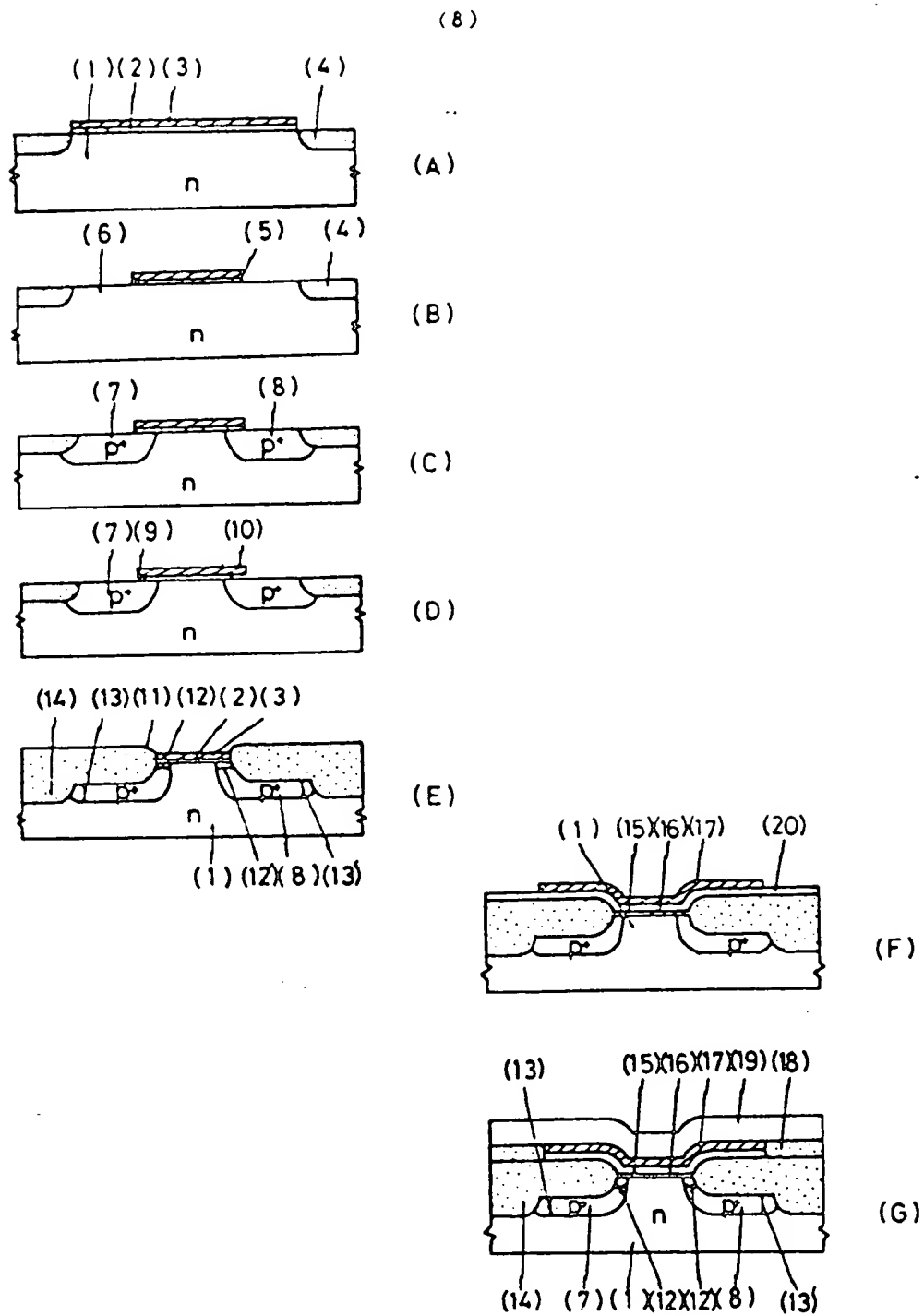


Figure 1.

( 9 )

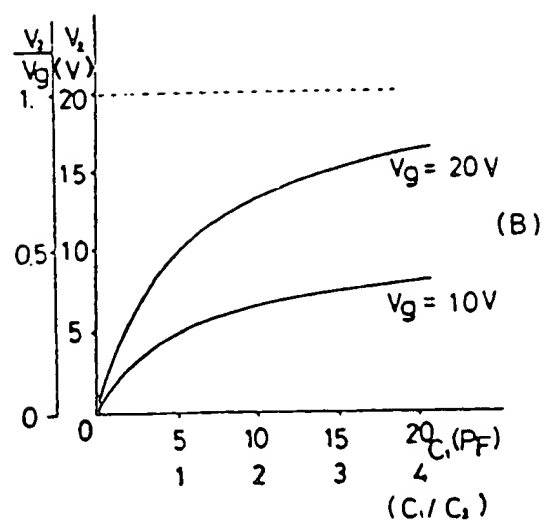
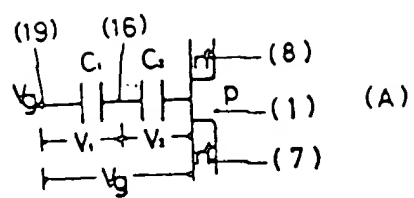


Figure 2.

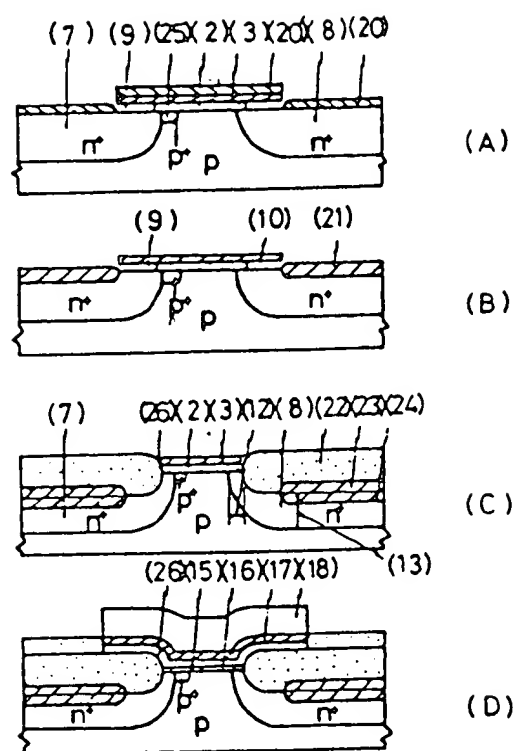


Figure 3.

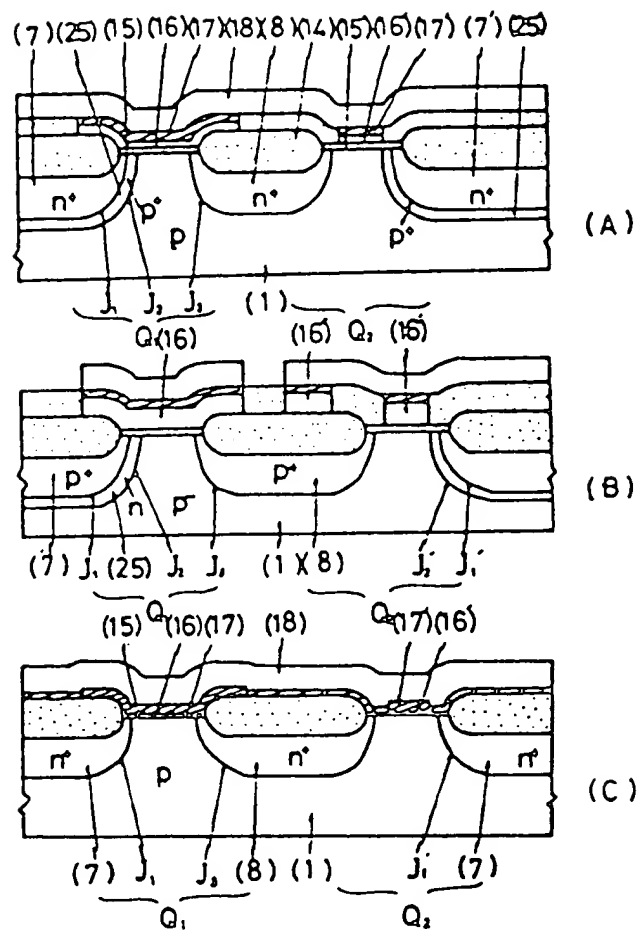


Figure 4.

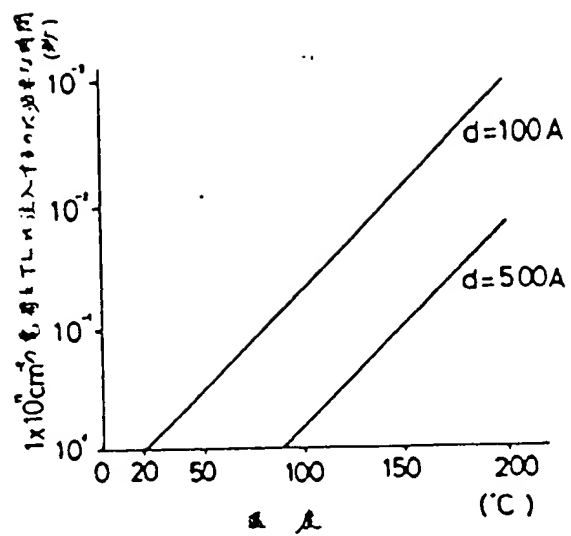


Figure 5.